

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270363

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H01L 21/20
H01L 29/786
H01L 21/336

(21)Application number : 09-094607

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 27.03.1997

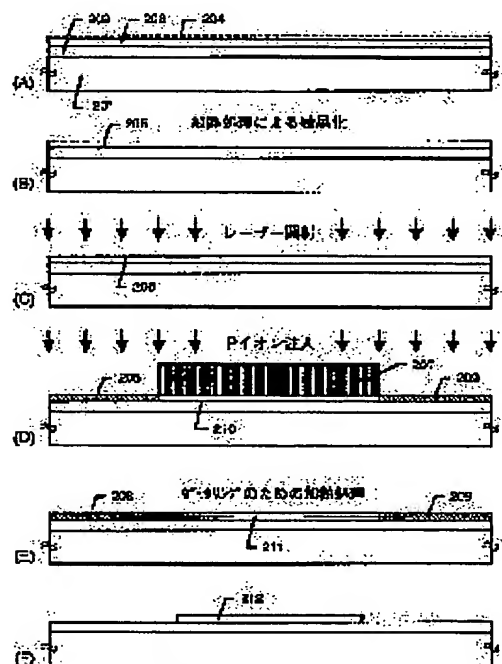
(72)Inventor : ONUMA HIDETO
YAMAZAKI SHUNPEI
NAKAJIMA SETSUO
OTANI HISASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for removing catalytic elements from a semiconductor film containing silicon, while leaving the characteristic features of low-temperature process.

SOLUTION: An amorphous film 203 containing silicon is formed on a glass substrate 201 and crystallized by use of catalytic elements. Subsequently, an impurity element which belongs to the group 15 is actively introduced into the thus obtained crystalline silicon film to form gettering regions 208 and 209 and a non-gettering region 210. Further, the catalytic elements in the silicon film are transferred to the gettering regions 208 and 209 by heat treatment. Through these gettering steps, there can be obtained a crystalline silicon film 211 with the catalytic elements being reduced in amount to a satisfactory extent.



LEGAL STATUS

[Date of request for examination]

31.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP) (12)公開特許公報(A) (11)特許出願公開番号
特開平10-270363
(43)公開日 平成10年(1998)10月9日

(51)IntCl. ⁴ H01L 21/20 21/786 21/338	識別記号 FI H01L 21/20 21/786 21/338
審査請求 未請求 請求項の数13 F D (金 20 円)	
(21)出願番号 特開平9-94607	(71)出願人 000153878 株式会社半導体エネルギー研究所 神奈川県横浜市青葉区339番地
(22)出願日 平成9年(1997)3月27日	(72)発明者 大沼 英人 神奈川県横浜市青葉区339番地 株式会社半導体エネルギー研究所内 山崎 舜平 神奈川県横浜市青葉区339番地 株式会社半導体エネルギー研究所内 中嶋 節男 神奈川県横浜市青葉区339番地 株式会社半導体エネルギー研究所内
最終頁に続く	

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】
【課題】 低温プロセスの特徴を生かしたまま珪素を含む半導体膜から触媒元素を除去するための技術を提供する。
【解決手段】 ガラス基板201上に珪素を含む非晶質膜203を形成し、触媒元素を利用して結晶化する。そして、結晶性珪素膜に対して15族に属する不純物元素を選択的に導入し、ゲタリング領域208、209および被ゲタリング領域210を形成する。さらに、加熱処理によって珪素膜中の触媒元素をゲタリング領域へと移動させる。このゲタリング工程により触媒元素が十分に低減された結晶性珪素膜211を得ることができ、
(A) (B) (C) (D) (E) (F)

【特許請求の範囲】
【請求項1】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、
前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を導入する第2の工程と、
加熱処理により前記非晶質半導体膜を結晶化させる第3の工程と、
前記第3の工程で得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、
加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲタリングさせる第5の工程と、
を少なくとも含む、
前記第5の工程における加熱処理は前記基板の重点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項2】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、
前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を選択的に導入する第2の工程と、
加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第3の工程と、
前記第3の工程により得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、
加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲタリングさせる第5の工程と、
を少なくとも含む、
前記第5の工程における加熱処理は前記基板の重点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項3】 請求項1または2において、前記第3の工程で得られた珪素を含む半導体膜とは、結晶粒界を有する結晶性半導体膜であることを特徴とする半導体装置の作製方法。
【請求項4】 請求項1または2において、前記第5の工程における加熱処理は50～450℃の温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項5】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、
前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を導入する第2の工程と、
加熱処理により前記非晶質半導体膜を結晶化させる第3の工程と、
前記第3の工程で得られた珪素を含む半導体膜に対してレーザー光または強光を照射する第4の工程と、
前記第4の工程で得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第5の工程と、
加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲタリングさせる第6の工程と、
を少なくとも含む、
前記第6の工程における加熱処理は前記基板の重点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項7】 請求項5または6において、前記第4の工程で得られた珪素を含む半導体膜とは、結晶粒界を有する結晶性半導体膜であることを特徴とする半導体装置の作製方法。
【請求項8】 請求項5または6において、前記第6の工程における加熱処理は50～450℃の温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項9】 請求項1、2、5または6において、前記基板とはガラス基板であることを特徴とする半導体装置の作製方法。
【請求項10】 請求項1、2、5または6において、前記加熱処理はフッ素アニールであることを特徴とする半導体装置の作製方法。
【請求項11】 請求項1、2、5または6において、前記珪素を含む非晶質半導体膜にはグルタミン酸が含まれることを特徴とする半導体装置の作製方法。
【請求項12】 請求項1、2、5または6において、前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Auから選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。
【請求項13】 請求項1、2、5または6において、前記15族に属する不純物元素とは、P、N、As、S、b、Biから選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【0001】
【発明が属する技術分野】 本発明は半導体膜膜を利用した半導体装置の作製方法に関する技術であり、特に珪素

膜元素をゲタリングさせる第6の工程と、
を少なくとも含む、
前記第6の工程における加熱処理は前記基板の重点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項6】 絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、
前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を選択的に導入する第2の工程と、
加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第3の工程と、
前記第3の工程で得られた珪素を含む半導体膜に対してレーザー光または強光を照射する第4の工程と、
前記第4の工程により得られた珪素を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第5の工程と、
加熱処理により前記不純物元素を導入した領域に前記触媒元素をゲタリングさせる第6の工程と、
を少なくとも含む、
前記第6の工程における加熱処理は前記基板の重点を超えない温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項7】 請求項5または6において、前記第4の工程で得られた珪素を含む半導体膜とは、結晶粒界を有する結晶性半導体膜であることを特徴とする半導体装置の作製方法。
【請求項8】 請求項5または6において、前記第6の工程における加熱処理は50～450℃の温度範囲で行われることを特徴とする半導体装置の作製方法。
【請求項9】 請求項1、2、5または6において、前記基板とはガラス基板であることを特徴とする半導体装置の作製方法。
【請求項10】 請求項1、2、5または6において、前記加熱処理はフッ素アニールであることを特徴とする半導体装置の作製方法。
【請求項11】 請求項1、2、5または6において、前記珪素を含む非晶質半導体膜にはグルタミン酸が含まれることを特徴とする半導体装置の作製方法。
【請求項12】 請求項1、2、5または6において、前記触媒元素として、Ni、Co、Fe、Pd、Pt、Cu、Auから選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。
【請求項13】 請求項1、2、5または6において、前記15族に属する不純物元素とは、P、N、As、S、b、Biから選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【0001】
【発明が属する技術分野】 本発明は半導体膜膜を利用した半導体装置の作製方法に関する技術であり、特に珪素

(3)

を含む結晶性半導体膜を利用した薄膜トランジスタ (Thin Film Transistor: TFT) の作製方法に関する。
【0002】なお、本明細書において、半導体膜型とは半導体を利用して機能する装置全般を指すものであり、TFTの如き単体素子のみならず、電気光学装置やそれを搭載した応用製品等も半導体装置の範疇に含まれるものとする。

【0003】
【従来の技術】近年、ガラス基板等の上にTFTを形成して半導体回路を構成する技術が急速に進んでいる。その様な半導体回路としてはアクティブマトリクス型液晶表示装置の様な電気光学装置が代表的である。

【0004】アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバ回路とを設けたモノシリコン型表示装置である。また、さらにメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

【0005】この様なドライバ回路やロジック回路は高駆動率を行う必要があるが、活性型として非晶質材料 (アモルファスシリコン膜) を用いることは不適当である。そのため、現状では結晶性材料 (ポリシリコン膜) を活性型としたTFTが主流になりつつある。

【0006】本発明者らは、ガラス基板上に結晶性材料を得るための技術として特開平7-130652号公報記載の技術を開示している。同公報記載の技術は、非晶質材料膜に対して結晶化を助長する結晶元素を添加し、加熱処理を行うことで結晶性材料膜を形成するものである。

【0007】この技術は結晶元素の作用により非晶質材料膜の結晶化温度を100〜1000℃も引き下げることが可能であり、結晶化に要する時間も1/5〜1/10にまで低減することができ、また、この技術によって得られる結晶性材料膜は優れた結晶性を有することが実驗的に確かめられている。

【0008】
【発明が解決しようとする課題】ところで、上記結晶元素としてはニッケル、コバルトなどの金属元素が用いられる。この様な金属元素は材料膜中に深い準位を形成し、キャリアを捕獲するため、TFTの電気特性や信頼性に悪影響を及ぼすことが懸念される。
【0009】また、TFTの活性型中に残存した結晶元素は不規則に配列することが確認されている。本発明者らはその領域が電荷を電流の逃げ道 (リークパス) になると考え、オフ電流 (TFTがオフ状態にある時の電流) の突発的な増加を招く原因になって考えた。
【0010】従って、結晶化後は結晶元素を速やかに除去するか、または電気特性に及ぼさない程度にまで低減することが望ましい。そのための手段として、本発明者らはハロゲン元素によるゲタリング効果をj利用した出願を既に済ませている。

【0011】しかしながら、上記手段を用いる場合には800℃以上の高温処理が必要となるため熱性の低いガラス基板上に用いることができない。即ち、結晶元素を用いた低温プロセスの特徴を効果的に生かすことができない。

【0012】本発明は上記問題を鑑みて成されたものであり、低温プロセスの特徴を生かしたまま材料を含む結晶性半導体膜中から結晶元素を除去または低減するための技術を提供することを課題とする。

【0013】
【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に材料を含む非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する結晶元素を導入する第2の工程と、加熱処理により前記非晶質半導体膜を結晶化させる第3の工程と、前記第3の工程で得られた材料を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、加熱処理により前記不純物元素を導入した領域に前記結晶元素をゲタリングさせる第5の工程と、を少なくとも含む、前記第5の工程における加熱処理は前記基板の重点を越えない温度範囲で行われることを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に材料を含む非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する結晶元素を通過的に導入する第2の工程と、加熱処理により前記非晶質半導体膜の少なくとも一部を結晶化させる第3の工程と、前記第3の工程により得られた材料を含む半導体膜に対して15族に属する不純物元素を選択的に導入する第4の工程と、加熱処理により前記不純物元素を導入した領域に前記結晶元素をゲタリングさせる第5の工程と、を少なくとも含む、前記第5の工程における加熱処理は前記基板の重点を越えない温度範囲で行われることを特徴とする。

【0015】なお、非晶質半導体膜を結晶化させる工程と15族に属する不純物元素を導入する工程との間に、半導体膜に対してレーザー光または励光を照射する工程を設けることもできる。

【0016】本発明の基本的な目的は、材料を含む非晶質半導体膜の結晶化に使用した結晶元素を結晶性半導体膜中から除去することであり、そのための手段として15族から選ばれた元素によるゲタリング効果を利用する。

【0017】上記結晶元素としてはNi (ニッケル)、Co (コバルト)、Fe (鉄)、Pd (パラジウム)、Pt (白金)、Cu (銅)、Au (金) が代表的である。本発明者らの実験では、ニッケルが最も適した元素であることが判明している。

【0018】また、上記結晶元素をゲタリングする15族元素としては、N (窒素)、P (リン)、As (砒素) などを挙げることができる。

【0019】典型的な例としては、結晶元素としてニッケル、ゲタリング元素 (15族元素) としてリンを使用した場合、100℃前後の加熱処理によってリンとニッケルが安定な結合状態を示す。この時、Ni₃P、Ni₃P₂、Ni₃P₄、Ni₃P₅、Ni₃P₆、Ni₃P₇、Ni₃P₈、Ni₃P₉、Ni₃P₁₀、Ni₃P₁₁、Ni₃P₁₂、Ni₃P₁₃、Ni₃P₁₄、Ni₃P₁₅、Ni₃P₁₆、Ni₃P₁₇、Ni₃P₁₈、Ni₃P₁₉、Ni₃P₂₀、Ni₃P₂₁、Ni₃P₂₂、Ni₃P₂₃、Ni₃P₂₄、Ni₃P₂₅、Ni₃P₂₆、Ni₃P₂₇、Ni₃P₂₈、Ni₃P₂₉、Ni₃P₃₀、Ni₃P₃₁、Ni₃P₃₂、Ni₃P₃₃、Ni₃P₃₄、Ni₃P₃₅、Ni₃P₃₆、Ni₃P₃₇、Ni₃P₃₈、Ni₃P₃₉、Ni₃P₄₀、Ni₃P₄₁、Ni₃P₄₂、Ni₃P₄₃、Ni₃P₄₄、Ni₃P₄₅、Ni₃P₄₆、Ni₃P₄₇、Ni₃P₄₈、Ni₃P₄₉、Ni₃P₅₀、Ni₃P₅₁、Ni₃P₅₂、Ni₃P₅₃、Ni₃P₅₄、Ni₃P₅₅、Ni₃P₅₆、Ni₃P₅₇、Ni₃P₅₈、Ni₃P₅₉、Ni₃P₆₀、Ni₃P₆₁、Ni₃P₆₂、Ni₃P₆₃、Ni₃P₆₄、Ni₃P₆₅、Ni₃P₆₆、Ni₃P₆₇、Ni₃P₆₈、Ni₃P₆₉、Ni₃P₇₀、Ni₃P₇₁、Ni₃P₇₂、Ni₃P₇₃、Ni₃P₇₄、Ni₃P₇₅、Ni₃P₇₆、Ni₃P₇₇、Ni₃P₇₈、Ni₃P₇₉、Ni₃P₈₀、Ni₃P₈₁、Ni₃P₈₂、Ni₃P₈₃、Ni₃P₈₄、Ni₃P₈₅、Ni₃P₈₆、Ni₃P₈₇、Ni₃P₈₈、Ni₃P₈₉、Ni₃P₉₀、Ni₃P₉₁、Ni₃P₉₂、Ni₃P₉₃、Ni₃P₉₄、Ni₃P₉₅、Ni₃P₉₆、Ni₃P₉₇、Ni₃P₉₈、Ni₃P₉₉、Ni₃P₁₀₀、Ni₃P₁₀₁、Ni₃P₁₀₂、Ni₃P₁₀₃、Ni₃P₁₀₄、Ni₃P₁₀₅、Ni₃P₁₀₆、Ni₃P₁₀₇、Ni₃P₁₀₈、Ni₃P₁₀₉、Ni₃P₁₁₀、Ni₃P₁₁₁、Ni₃P₁₁₂、Ni₃P₁₁₃、Ni₃P₁₁₄、Ni₃P₁₁₅、Ni₃P₁₁₆、Ni₃P₁₁₇、Ni₃P₁₁₈、Ni₃P₁₁₉、Ni₃P₁₂₀、Ni₃P₁₂₁、Ni₃P₁₂₂、Ni₃P₁₂₃、Ni₃P₁₂₄、Ni₃P₁₂₅、Ni₃P₁₂₆、Ni₃P₁₂₇、Ni₃P₁₂₈、Ni₃P₁₂₉、Ni₃P₁₃₀、Ni₃P₁₃₁、Ni₃P₁₃₂、Ni₃P₁₃₃、Ni₃P₁₃₄、Ni₃P₁₃₅、Ni₃P₁₃₆、Ni₃P₁₃₇、Ni₃P₁₃₈、Ni₃P₁₃₉、Ni₃P₁₄₀、Ni₃P₁₄₁、Ni₃P₁₄₂、Ni₃P₁₄₃、Ni₃P₁₄₄、Ni₃P₁₄₅、Ni₃P₁₄₆、Ni₃P₁₄₇、Ni₃P₁₄₈、Ni₃P₁₄₉、Ni₃P₁₅₀、Ni₃P₁₅₁、Ni₃P₁₅₂、Ni₃P₁₅₃、Ni₃P₁₅₄、Ni₃P₁₅₅、Ni₃P₁₅₆、Ni₃P₁₅₇、Ni₃P₁₅₈、Ni₃P₁₅₉、Ni₃P₁₆₀、Ni₃P₁₆₁、Ni₃P₁₆₂、Ni₃P₁₆₃、Ni₃P₁₆₄、Ni₃P₁₆₅、Ni₃P₁₆₆、Ni₃P₁₆₇、Ni₃P₁₆₈、Ni₃P₁₆₉、Ni₃P₁₇₀、Ni₃P₁₇₁、Ni₃P₁₇₂、Ni₃P₁₇₃、Ni₃P₁₇₄、Ni₃P₁₇₅、Ni₃P₁₇₆、Ni₃P₁₇₇、Ni₃P₁₇₈、Ni₃P₁₇₉、Ni₃P₁₈₀、Ni₃P₁₈₁、Ni₃P₁₈₂、Ni₃P₁₈₃、Ni₃P₁₈₄、Ni₃P₁₈₅、Ni₃P₁₈₆、Ni₃P₁₈₇、Ni₃P₁₈₈、Ni₃P₁₈₉、Ni₃P₁₉₀、Ni₃P₁₉₁、Ni₃P₁₉₂、Ni₃P₁₉₃、Ni₃P₁₉₄、Ni₃P₁₉₅、Ni₃P₁₉₆、Ni₃P₁₉₇、Ni₃P₁₉₈、Ni₃P₁₉₉、Ni₃P₂₀₀、Ni₃P₂₀₁、Ni₃P₂₀₂、Ni₃P₂₀₃、Ni₃P₂₀₄、Ni₃P₂₀₅、Ni₃P₂₀₆、Ni₃P₂₀₇、Ni₃P₂₀₈、Ni₃P₂₀₉、Ni₃P₂₁₀、Ni₃P₂₁₁、Ni₃P₂₁₂、Ni₃P₂₁₃、Ni₃P₂₁₄、Ni₃P₂₁₅、Ni₃P₂₁₆、Ni₃P₂₁₇、Ni₃P₂₁₈、Ni₃P₂₁₉、Ni₃P₂₂₀、Ni₃P₂₂₁、Ni₃P₂₂₂、Ni₃P₂₂₃、Ni₃P₂₂₄、Ni₃P₂₂₅、Ni₃P₂₂₆、Ni₃P₂₂₇、Ni₃P₂₂₈、Ni₃P₂₂₉、Ni₃P₂₃₀、Ni₃P₂₃₁、Ni₃P₂₃₂、Ni₃P₂₃₃、Ni₃P₂₃₄、Ni₃P₂₃₅、Ni₃P₂₃₆、Ni₃P₂₃₇、Ni₃P₂₃₈、Ni₃P₂₃₉、Ni₃P₂₄₀、Ni₃P₂₄₁、Ni₃P₂₄₂、Ni₃P₂₄₃、Ni₃P₂₄₄、Ni₃P₂₄₅、Ni₃P₂₄₆、Ni₃P₂₄₇、Ni₃P₂₄₈、Ni₃P₂₄₉、Ni₃P₂₅₀、Ni₃P₂₅₁、Ni₃P₂₅₂、Ni₃P₂₅₃、Ni₃P₂₅₄、Ni₃P₂₅₅、Ni₃P₂₅₆、Ni₃P₂₅₇、Ni₃P₂₅₈、Ni₃P₂₅₉、Ni₃P₂₆₀、Ni₃P₂₆₁、Ni₃P₂₆₂、Ni₃P₂₆₃、Ni₃P₂₆₄、Ni₃P₂₆₅、Ni₃P₂₆₆、Ni₃P₂₆₇、Ni₃P₂₆₈、Ni₃P₂₆₉、Ni₃P₂₇₀、Ni₃P₂₇₁、Ni₃P₂₇₂、Ni₃P₂₇₃、Ni₃P₂₇₄、Ni₃P₂₇₅、Ni₃P₂₇₆、Ni₃P₂₇₇、Ni₃P₂₇₈、Ni₃P₂₇₉、Ni₃P₂₈₀、Ni₃P₂₈₁、Ni₃P₂₈₂、Ni₃P₂₈₃、Ni₃P₂₈₄、Ni₃P₂₈₅、Ni₃P₂₈₆、Ni₃P₂₈₇、Ni₃P₂₈₈、Ni₃P₂₈₉、Ni₃P₂₉₀、Ni₃P₂₉₁、Ni₃P₂₉₂、Ni₃P₂₉₃、Ni₃P₂₉₄、Ni₃P₂₉₅、Ni₃P₂₉₆、Ni₃P₂₉₇、Ni₃P₂₉₈、Ni₃P₂₉₉、Ni₃P₃₀₀、Ni₃P₃₀₁、Ni₃P₃₀₂、Ni₃P₃₀₃、Ni₃P₃₀₄、Ni₃P₃₀₅、Ni₃P₃₀₆、Ni₃P₃₀₇、Ni₃P₃₀₈、Ni₃P₃₀₉、Ni₃P₃₁₀、Ni₃P₃₁₁、Ni₃P₃₁₂、Ni₃P₃₁₃、Ni₃P₃₁₄、Ni₃P₃₁₅、Ni₃P₃₁₆、Ni₃P₃₁₇、Ni₃P₃₁₈、Ni₃P₃₁₉、Ni₃P₃₂₀、Ni₃P₃₂₁、Ni₃P₃₂₂、Ni₃P₃₂₃、Ni₃P₃₂₄、Ni₃P₃₂₅、Ni₃P₃₂₆、Ni₃P₃₂₇、Ni₃P₃₂₈、Ni₃P₃₂₉、Ni₃P₃₃₀、Ni₃P₃₃₁、Ni₃P₃₃₂、Ni₃P₃₃₃、Ni₃P₃₃₄、Ni₃P₃₃₅、Ni₃P₃₃₆、Ni₃P₃₃₇、Ni₃P₃₃₈、Ni₃P₃₃₉、Ni₃P₃₄₀、Ni₃P₃₄₁、Ni₃P₃₄₂、Ni₃P₃₄₃、Ni₃P₃₄₄、Ni₃P₃₄₅、Ni₃P₃₄₆、Ni₃P₃₄₇、Ni₃P₃₄₈、Ni₃P₃₄₉、Ni₃P₃₅₀、Ni₃P₃₅₁、Ni₃P₃₅₂、Ni₃P₃₅₃、Ni₃P₃₅₄、Ni₃P₃₅₅、Ni₃P₃₅₆、Ni₃P₃₅₇、Ni₃P₃₅₈、Ni₃P₃₅₉、Ni₃P₃₆₀、Ni₃P₃₆₁、Ni₃P₃₆₂、Ni₃P₃₆₃、Ni₃P₃₆₄、Ni₃P₃₆₅、Ni₃P₃₆₆、Ni₃P₃₆₇、Ni₃P₃₆₈、Ni₃P₃₆₉、Ni₃P₃₇₀、Ni₃P₃₇₁、Ni₃P₃₇₂、Ni₃P₃₇₃、Ni₃P₃₇₄、Ni₃P₃₇₅、Ni₃P₃₇₆、Ni₃P₃₇₇、Ni₃P₃₇₈、Ni₃P₃₇₉、Ni₃P₃₈₀、Ni₃P₃₈₁、Ni₃P₃₈₂、Ni₃P₃₈₃、Ni₃P₃₈₄、Ni₃P₃₈₅、Ni₃P₃₈₆、Ni₃P₃₈₇、Ni₃P₃₈₈、Ni₃P₃₈₉、Ni₃P₃₉₀、Ni₃P₃₉₁、Ni₃P₃₉₂、Ni₃P₃₉₃、Ni₃P₃₉₄、Ni₃P₃₉₅、Ni₃P₃₉₆、Ni₃P₃₉₇、Ni₃P₃₉₈、Ni₃P₃₉₉、Ni₃P₄₀₀、Ni₃P₄₀₁、Ni₃P₄₀₂、Ni₃P₄₀₃、Ni₃P₄₀₄、Ni₃P₄₀₅、Ni₃P₄₀₆、Ni₃P₄₀₇、Ni₃P₄₀₈、Ni₃P₄₀₉、Ni₃P₄₁₀、Ni₃P₄₁₁、Ni₃P₄₁₂、Ni₃P₄₁₃、Ni₃P₄₁₄、Ni₃P₄₁₅、Ni₃P₄₁₆、Ni₃P₄₁₇、Ni₃P₄₁₈、Ni₃P₄₁₉、Ni₃P₄₂₀、Ni₃P₄₂₁、Ni₃P₄₂₂、Ni₃P₄₂₃、Ni₃P₄₂₄、Ni₃P₄₂₅、Ni₃P₄₂₆、Ni₃P₄₂₇、Ni₃P₄₂₈、Ni₃P₄₂₉、Ni₃P₄₃₀、Ni₃P₄₃₁、Ni₃P₄₃₂、Ni₃P₄₃₃、Ni₃P₄₃₄、Ni₃P₄₃₅、Ni₃P₄₃₆、Ni₃P₄₃₇、Ni₃P₄₃₈、Ni₃P₄₃₉、Ni₃P₄₄₀、Ni₃P₄₄₁、Ni₃P₄₄₂、Ni₃P₄₄₃、Ni₃P₄₄₄、Ni₃P₄₄₅、Ni₃P₄₄₆、Ni₃P₄₄₇、Ni₃P₄₄₈、Ni₃P₄₄₉、Ni₃P₄₅₀、Ni₃P₄₅₁、Ni₃P₄₅₂、Ni₃P₄₅₃、Ni₃P₄₅₄、Ni₃P₄₅₅、Ni₃P₄₅₆、Ni₃P₄₅₇、Ni₃P₄₅₈、Ni₃P₄₅₉、Ni₃P₄₆₀、Ni₃P₄₆₁、Ni₃P₄₆₂、Ni₃P₄₆₃、Ni₃P₄₆₄、Ni₃P₄₆₅、Ni₃P₄₆₆、Ni₃P₄₆₇、Ni₃P₄₆₈、Ni₃P₄₆₉、Ni₃P₄₇₀、Ni₃P₄₇₁、Ni₃P₄₇₂、Ni₃P₄₇₃、Ni₃P₄₇₄、Ni₃P₄₇₅、Ni₃P₄₇₆、Ni₃P₄₇₇、Ni₃P₄₇₈、Ni₃P₄₇₉、Ni₃P₄₈₀、Ni₃P₄₈₁、Ni₃P₄₈₂、Ni₃P₄₈₃、Ni₃P₄₈₄、Ni₃P₄₈₅、Ni₃P₄₈₆、Ni₃P₄₈₇、Ni₃P₄₈₈、Ni₃P₄₈₉、Ni₃P₄₉₀、Ni₃P₄₉₁、Ni₃P₄₉₂、Ni₃P₄₉₃、Ni₃P₄₉₄、Ni₃P₄₉₅、Ni₃P₄₉₆、Ni₃P₄₉₇、Ni₃P₄₉₈、Ni₃P₄₉₉、Ni₃P₅₀₀、Ni₃P₅₀₁、Ni₃P₅₀₂、Ni₃P₅₀₃、Ni₃P₅₀₄、Ni₃P₅₀₅、Ni₃P₅₀₆、Ni₃P₅₀₇、Ni₃P₅₀₈、Ni₃P₅₀₉、Ni₃P₅₁₀、Ni₃P₅₁₁、Ni₃P₅₁₂、Ni₃P₅₁₃、Ni₃P₅₁₄、Ni₃P₅₁₅、Ni₃P₅₁₆、Ni₃P₅₁₇、Ni₃P₅₁₈、Ni₃P₅₁₉、Ni₃P₅₂₀、Ni₃P₅₂₁、Ni₃P₅₂₂、Ni₃P₅₂₃、Ni₃P₅₂₄、Ni₃P₅₂₅、Ni₃P₅₂₆、Ni₃P₅₂₇、Ni₃P₅₂₈、Ni₃P₅₂₉、Ni₃P₅₃₀、Ni₃P₅₃₁、Ni₃P₅₃₂、Ni₃P₅₃₃、Ni₃P₅₃₄、Ni₃P₅₃₅、Ni₃P₅₃₆、Ni₃P₅₃₇、Ni₃P₅₃₈、Ni₃P₅₃₉、Ni₃P₅₄₀、Ni₃P₅₄₁、Ni₃P₅₄₂、Ni₃P₅₄₃、Ni₃P₅₄₄、Ni₃P₅₄₅、Ni₃P₅₄₆、Ni₃P₅₄₇、Ni₃P₅₄₈、Ni₃P₅₄₉、Ni₃P₅₅₀、Ni₃P₅₅₁、Ni₃P₅₅₂、Ni₃P₅₅₃、Ni₃P₅₅₄、Ni₃P₅₅₅、Ni₃P₅₅₆、Ni₃P₅₅₇、Ni₃P₅₅₈、Ni₃P₅₅₉、Ni₃P₅₆₀、Ni₃P₅₆₁、Ni₃P₅₆₂、Ni₃P₅₆₃、Ni₃P₅₆₄、Ni₃P₅₆₅、Ni₃P₅₆₆、Ni₃P₅₆₇、Ni₃P₅₆₈、Ni₃P₅₆₉、Ni₃P₅₇₀、Ni₃P₅₇₁、Ni₃P₅₇₂、Ni₃P₅₇₃、Ni₃P₅₇₄、Ni₃P₅₇₅、Ni₃P₅₇₆、Ni₃P₅₇₇、Ni₃P

(5)

に型さやすい状態となった。

【00039】また、図2(B)に示す結晶化工程で得られる結晶性珪素膜205は非晶質成分が不規則に残存する。しかし、レーザー光の照射によってその様な非晶質成分を完全に結晶化することができ、ため結晶性は大幅に改善される。なお、このレーザ照射工程を省略することは可能である。

【00040】レーザ光の照射が終了したら、結晶性珪素膜206の表面の酸化膜を一旦除去し、再び薄い酸化膜(図示せず)を形成する。この酸化膜は酸素雰囲気中でUV光を照射することで得られる。そして、その上にレジストマスク207を形成する。前述の酸化膜はレジストマスク207の密着性を高める効果がある。

【00041】次にP(リン)元素のドーピング工程をプロセスドーピング法(またはイオン注入法)で行う。ドーピング条件はRF電力を10W、加速電圧を $\sim 30\text{keV}$ (代表的には10eV)に設定し、P元素のドーピング量は $1 \times 10^{13}\text{ions/cm}^2$ 以上(好ましくは $5 \times 10^{13} \sim 5 \times 10^{14}\text{ions/cm}^2$)で行えば良い。

【00042】なお、後述するがP元素ドーピング注入工程の最速条件は、後に行うゲタリングのための加熱処理の条件によって変化する。従って、実施者はプロセスの見地および経済的見地から最速条件を決定しなければならない。現状において、本発明者らは加速電圧は10keVとし、ドーピング量は $1 \times 10^{13} \sim 5 \times 10^{14}\text{ions/cm}^2$ とすることが好ましいと考えている。

【00043】本発明では結晶性珪素膜206中に残留するニッケルの濃度に比較して、P元素の濃度が1桁以上高くなる様な条件を設定してP元素ドーピング工程を行うことが好ましい。前述の $5 \times 10^{13}\text{ions/cm}^2$ というドーピング量は濃度換算すると、約 $4 \times 10^{13}\text{atoms/cm}^2$ に対応する。

【00044】本発明者らの計測によれば、図2(B)の工程が終了した時点での結晶性珪素膜206中において、残留ニッケル濃度の最高値は $1 \times 10^{14}\text{atoms/cm}^2$ 程度である。従って、この場合はP元素が膜中に最低でも $1 \times 10^{14}\text{atoms/cm}^2$ 程度以上残留するようにドーピング条件を設定すれば良い。

【00045】このP元素のドーピングは図2(D)の208、209で示される領域(以下、ゲタリング領域と呼ぶ)に対して行われる。このドーピングの結果、ゲタリング領域208、209はP元素を高濃度に含有した領域となる。また、これらの領域はドーピングされるイオンの衝撃によって非晶質化される。

【00046】また、210で示される領域(以下、被ゲタリング領域と呼ぶ)は、レジストマスク207によって保護されるためP元素はドーピングされない。従って、成膜時の状態が維持されたままの結晶性を有した領域となる。

【00047】P元素のドーピング工程が終了したら、レ

ジストマスク207を除くした後ゲタリングのための加熱処理を行い、被ゲタリング領域210の内部に残存するニッケルを、ゲタリング領域208、209に移動させる。こうしてニッケル濃度が低減された被ゲタリング領域211を得る。(図2(E))

【00048】この時、加熱処理は電熱炉中において不活性雰囲気、水素雰囲気、酸化性雰囲気またはハログン元素を含む酸化性雰囲気いずれかで行えば良い。また、温度は 500°C 以上(好ましくは $550 \sim 550^\circ\text{C}$)とすれば良い。また、処理時間は1時間以上(好ましくは1～11時間)とすれば良い。

【00049】なお、後述するが、加熱処理の温度および時間によってゲタリング効率は大きく変化する。即ち、前述のP元素のドーピング条件と同様に、実施者はプロセスの見地および経済的見地から最速条件を決定する必要がある。

【00050】なお、現状において、本発明者らは代表的には 100°C の温度で、1時間程度のファーストアニール処理を行うことが好ましいと考えている。

【00051】以上の様な加熱処理工程によって、被ゲタリング領域210の内部のニッケル量はゲタリング領域208、209へ(矢印の方向へ)と取り出される。このニッケルの移動は、前述のレーザ照射によりニッケルが移動し易くなっていること、さらにゲタリング領域208、209が非晶質化していることにより助長される。

【00052】そして、パターンニングによってゲタリング領域208、209を除くことで十分にニッケル濃度が低減された島状パターン212が得られる。なお、図2(E)に示す被ゲタリング領域211において、ゲタリング領域208、209と隣接する周辺部はニッケル濃度が高い可能性がある。パターンニング時に一緒に除去することが望ましい。(図2(F))

【00053】(本発明の実施条件に關して)本発明の構成要件は、①珪素を含む非晶質半導体膜を触媒元素(例えばニッケル)を利用して結晶化する工程、②選択的に15族元素(例えばリン)をドーピングしてゲタリング領域を形成する工程、③加熱処理によって被ゲタリング領域内の触媒元素をゲタリング領域に移動させる工程である。

【00054】特に、②と③が本発明の最大の目的である「P元素による触媒元素のゲタリング」に関わる工程である。これらの工程において、考慮すべき代表的なラメータとして以下の4つが挙げられる。

(a) ゲタリングのための加熱処理における処理温度
(b) ゲタリングのための加熱処理における処理時間
(c) P元素の注入工程におけるドーピング
(d) P元素の注入工程における加速電圧

【00055】本発明は上記パラメータが相互に關聯して成り立っており、どれかパラメータを動かすと他のパラ

(1)

メータの最速値もそれに伴って変化する。そこで、本発明者らが行った実験およびそこから得られた知見について以下に述べる。

【00056】まずドーピング工程を、加速電圧 30keV 、ドーピング量 $5 \times 10^{13}\text{ions/cm}^2$ で行い、処理時間を2時間に固定した場合の温度依存性を説明する。図3(A)～(F)に示される写真は、それぞれ順にアニールなし、 400°C 、 450°C 、 500°C 、 550°C 、 600°C の場合の実験結果である。

【00057】本実験では、被ゲタリング領域に残存したニッケル(おそらくニッケルジリサイドとなっていた)を選択的に除去することで発生する孔の数を評価した。この孔はPIM(HIと呼ぶ)をモデル比で0.5:0.5に合わせた薬液(と呼ばれるエッチャント中に試料を室温で1時間浸漬することで生じる。即ち、この孔が発生する度合いが高いほど、高濃度にニッケルが残留していると言え。

【00058】なお、本実験では写真内の左中央にある $10 \times 100 \mu\text{m}$ のパターン(以下、観察パターンと略す)を観察している。この写真を模式的に表すと図4の様なになる。図4において、401、402は被ゲタリング領域、403がゲタリング領域である。観察したパターンは401で示される領域に対応する。

【00059】図3(A)～(F)の写真を観察すると、温度が高くなるにつれて明らかに観察パターン内の孔の数が減少する傾向が見られる。この事は、ゲタリングのための温度が高いほどゲタリング効率が向上することを意味している。

【00060】この傾向をグラフにまとめたものが図5である。図5では横軸に処理温度、縦軸に傾折密度をとっている。

【00061】なお、ここでの傾折密度とは単位面積当たり存在する孔の数であるが、ゲタリング効率は被ゲタリング領域の形状毎に異なる傾向を示すので絶対的な値ではない。従って、本実験では単にゲタリング効率の温度依存性の傾向を知るための指標として用いている。

【00062】図5では $110 \times 100 \mu\text{m}$ のパターンと参考までに 10×100 のパターンの二つについて調べた結果を示しているが、両者ともに温度が高くなるにつれて傾折密度が減少していくことが確認できる。特に、 10×100 のパターンでは $110 \times 100 \mu\text{m}$ のパターンよりも急激に減少する傾向が見られる。

【00063】こうして本実験の評価対象である $110 \times 100 \mu\text{m}$ のパターンの結果より、ドーピング工程を加速電圧 30keV 、ドーピング量 $5 \times 10^{13}\text{ions/cm}^2$ で行い、ゲタリングの処理時間を2時間に固定した場合、その処理温度は高いほど良い、即ち現状では 600°C 以上であることが好ましいという結果が得られた。

【00064】ここで、P元素によるゲタリング効果は

ゲタリング領域と被ゲタリング領域との距離が問題となる。これはゲタリング現象が傾斜と平行な方向でのニッケルの移動によって進行することによる。

【00065】 $110 \times 100 \mu\text{m}$ のパターンの場合、短辺が $110 \mu\text{m}$ であるのでこのパターンの中心から端部までの距離がゲタリング領域と被ゲタリング領域の距離に相当する。即ち、少なくとも $110 \mu\text{m}$ という距離の範囲内では本実験の結果が適用できることを意味している。なお、他の観察パターンの結果から、実際には $100 \sim 150 \mu\text{m}$ 程度の距離まで本実験と同様の結果が得られると推測される。

【00066】なお、この $110 \times 100 \mu\text{m}$ というサイズの活性層は、実際にアクティブマトリクス型表示装置を構成するTFTの活性層パターンの一つであり、その中でも特に大きいサイズに相当する。従って、本実験結果から得られる知見は実質的にアクティブマトリクス型表示装置を構成する全てのTFTに適用できる。

【00067】また、短辺が $100 \mu\text{m}$ 以上となる様なサイズの活性層は、例えばドライバ回路を構成するTFTにしか使用されず、その場合、活性層を複数の分割に等分して容易に回遊することができると。また、短辺が細ければ細いほどさらに低い温度で顕著なゲタリング効果を得られることは、図5の $10 \times 100 \mu\text{m}$ のパターンの結果からも明らかである。

【00068】次に、本発明者らはガラス基板の耐熱性を考慮して処理温度の上限を 100°C に定め、処理時間依存性について調べた。この実験では、処理温度を 100°C に固定し、ドーピング条件は加速電圧 30keV 、ドーピング量 $5 \times 10^{13}\text{ions/cm}^2$ で固定して行った。

【00069】図6(A)～(F)に示される写真は、それぞれ順にアニールなし、1時間、1時間、1時間、1時間、1時間の場合の実験結果である。なお、観察対象は温度依存性の実験と同様のパターン($110 \times 100 \mu\text{m}$)とし、評価方法は前述の孔の観察および傾折密度で調べた。

【00070】図6(A)～(F)に示す写真の観察結果からも明らかだが、処理時間が増加するにつれて被ゲタリング領域に発生する孔の数は減少する。特に、処理時間が1時間となると完全に孔は発生しなくなる。

【00071】この実験における本発明者らの最終的な目的は、PIM処理を施していくことが発生しない条件の探索である。即ち、ここでは処理時間を1時間とした場合のみが目的の結晶性珪素膜を得ることのできる条件であった。

【00072】また、図6の結果をもとに処理時間と傾折密度との関係を図7に示す。図7では処理時間の増加に伴って傾折密度が減少する傾向を明確に読み取ることができる。なお、フィティングした曲線から10時間を超えるあたりで孔の発生がなくなると予想される。また、短辺の細い $10 \times 100 \mu\text{m}$ のパターンでは、さらに処理時間

(7)

11

が短くて済むことが確認された。

【0073】また、グッタリング効率の変化をSIMS分析(質量二次イオン分析)で調べた結果、加熱処理を行わない時のニックル濃度が約 1×10^{15} atoms/cm³であったのに対し、8時間処理で約 3×10^{15} atoms/cm³にまで低減されたことが確認された。さらに、FPM処理で孔の空かなくなった4時間処理の試料はニックル濃度が検出下限(約 5×10^{14} atoms/cm³以下)にまで低減されていた。

【0074】なお、ここで得られたニックル濃度は160 $\times 100$ μ mのバターの中心部10 μ mの範囲をSIMS分析で測定した結果である。また、測定値は試料の深さ方向で中央付近における平均値(本実施例では試料が10mmであるので10 \sim 10mmの深さでの平均値)を用いている。

【0075】以上の様に、図7の110 $\times 100$ μ mのバターの結果より、ドーピング工程を加速電圧30keV、ドーピング量 5×10^{15} atoms/cm³で行い、グッタリングの処理温度を100℃に固定した場合、その処理時間は10時間以上であることが好ましいという結果が得られた。

【0076】しかしながら、製造工程のスケラップを考慮すると、処理時間あまりにも長いことは好ましくない。そのため、本発明者はガラス基板の耐熱性およびスループットを考慮して、処理時間の上限を10時間(好ましくは8時間)に定めることにした。

【0077】次に、本発明者はガラス基板の耐熱性および製造工程のスケラップを考慮して、加熱処理条件を100℃8時間に固定し、ドーピング条件のパラメータに関する依存性を調べた。

【0078】ここでは加速電圧を30keVに固定し、ドーピング量を 1×10^{15} atoms/cm³、 5×10^{15} atoms/cm³、 1×10^{15} ions/cm³で変えた場合の結果について図8(A)～(C)に、加速電圧を10keVに固定し、ドーピング量を 1×10^{15} atoms/cm³、 5×10^{15} atoms/cm³、 1×10^{15} ions/cm³で変えた場合の結果について図8(D)～(F)に示す。なお、グッタリング効率の評価方法は前述の評価方法と同様である。

【0079】図8(A)～(C)および(D)～(F)に示す様に、10keVの場合も30keVの場合もドーピング量が増加するに伴って孔の数が減少する傾向が確認できる。しかしながら、加速電圧30keVの条件では 1×10^{15} ions/cm³で完全に孔が発生しなくなったのに対し、加速電圧10keVの条件では 5×10^{15} ions/cm³で既に孔が発生しなくなった。

【0080】また、孔の空かなくなった条件で処理した試料をSIMS分析した結果、やはりニックル濃度が検出下限まで低減されていることが確認できた。

【0081】この結果をまとめて図10のグラフに示す。図1において、横軸はP元素のドーピング量であり、縦軸はグッタリング処理後のグッタリング領域に残留するニ

12

ックルの濃度である。ニックル濃度の測定方法は前述の通りである。

【0082】図1に示す様に、現状では30keVの場合にはP元素のドーピング量を 5×10^{15} atoms/cm³としてもまだ約 3×10^{15} atoms/cm³のニックルが残留しているが、少なくとも 1×10^{15} atoms/cm³のドーピング量で添加すればSIMSの検出下限までニックル濃度を低減できることが確認された。

【0083】実際にはもっと低いドーピング量で検出下限までニックル濃度が低減される可能性がある。図1では明確ではないが、本発明者らはニックル濃度とドーピング量の関係にある相関関係があると推測している。相関関係があるとすれば、おそらくニックルおよびリンの結晶領域における拡散速度等が関与するであろう。

【0084】一方、現状では10keVの場合にはP元素のドーピング量を少なくとも 5×10^{15} atoms/cm³とすればSIMSの検出下限までニックル濃度を低減できることが確認された。勿論、実際にはもっと低いドーピング量で検出下限までニックル濃度が低減される可能性がある。

【0085】この様に10keVと30keVで明らかに相違が現れる理由は、Pイオンをドーピングした際のイオンプロファイルが異なるためであることがSIMS分析で確認されている。即ち、10keVの加速電圧でドーピングした方が試料中に添加されるP元素の濃度は実質的に高く、グッタリングに寄与するP元素が多いためであると推測される。

【0086】以上の様な結果から、グッタリングのための加熱処理を100℃8時間で行うという条件内で目的の結晶性結膜(FPM処理で孔が空かない膜)を得るための条件として、加速電圧30keVでドーピング量を 1×10^{15} ions/cm³以上とする、或いは加速電圧10keVでドーピング量を 5×10^{15} ions/cm³以上とすることが好ましいことが確認された。

【0087】しかしながら、実際問題として加速電圧が高くなるとドーピング基置への負担が増加し、ドーピング量が増加するとスループットが悪くなることが予想される。従って、現状では加速電圧10keVでドーピング量を 5×10^{15} ions/cm³以上とすることが最も好ましい条件であると言える。

【0088】なお前述の様に、加速電圧が10keVの場合、ドーピング量が 5×10^{15} ions/cm³以上であればニックル濃度が検出下限に達していることを確認した。しかしながら、実際にニックル濃度が検出下限に達するドーピング量にはさらに低い値である可能性がある。

【0089】また、本発明者らが、TFT特性に影響を与えないレベルと考えているニックル濃度(1×10^{14} ions/cm³以下)にまで低減させるためには、さらに低いドーピング量でP元素をドーピングすれば良いと予想される。

【0090】ところで、本発明者らは比較実験としてリ

(8)

13

ンの代わりに典型的な13族元素であるB(ボロン)を用いた場合の効果を確認する。この結果を図9に示す。図9(A)はグッタリング用不純物としてリンを用いた場合、図9(B)はボロンを用いた場合の写真である。

【0091】なお、ドーピング条件は加速電圧30keV、ドーピング量 5×10^{15} atoms/cm³とし、グッタリングの加熱処理は100℃、8時間とした。また、グッタリング効果の評価方法はFPM処理による孔空きを観察した。

【0092】リンをドーピングした図9(A)に示す試料はニックルが完全にグッタリングされて 110×100 μ mのバターン内に全孔が観察されなかった。ところが、ボロンをドーピングした図9(B)に示す試料では、バターンに關係なく全面に均一に孔が観察された。この傾向は他の13族に属する元素においても同様であった。

【0093】以上の様に、本発明が示すグッタリング効果は15族元素(特にリン)に特有のものであって、13族元素では成しえないことが判明した。

【0094】最後に、以上に示した本発明者らによる実験結果をまとめて、リンを用いたニックルのグッタリング工程において、グッタリングのための加熱処理は処理温度と処理時間の二つのパラメータが重要であり、P元素のドーピング工程は加速電圧とドーピング量が重要である。

【0095】本発明者らの実験では温度は高いほど良いという結果が得られたが、低温プロセスを生かすという本発明の目的を考慮すると、ガラス基板の耐熱性によって上限温度は100℃(好ましくは80 \sim 140℃、代数的には100℃)とすることが好ましい。

【0096】また、処理時間は長いほど良いという結果となったが、ガラス基板の耐熱性および製造工程のスループットを考慮すると、上限は8時間(好ましくは4 \sim 11時間、代数的には8時間)とすることが好ましい。【0097】また、100℃8時間の加熱処理を前提としてP元素のドーピング条件を実験的に調べた結果、加速電圧を10keVとし、ドーピング量を 5×10^{15} ions/cm³以上とすることでニックル濃度を検出下限にまで低減できることが確認された。

【0098】なお、ニックル濃度を 1×10^{14} ions/cm³以下にするので十分であれば、ドーピング量は 1×10^{15} ions/cm³以上(好ましくは 5×10^{15} ions/cm³以上)とすることが好ましい。

【0099】(実施例2)本実施例では実施例1と異なる手段で非晶質半導体膜の結晶化を行う例を図10を用いて説明する。なお、この結晶化手段に関する詳細は特開平1-101515号公報記載の実施例2を参考すると良い。

【0100】まず、図10(A)において、301はガラス基板であり、その上に下地膜302、厚厚50nmの非晶質結晶膜303を形成する。また、その上に酸化珪素

14

膜であるマスケル絶縁膜304を形成し、酸媒元素(本実施例もニックルとする)を選択的に添加するための開口部305を設ける。

【0101】この状態で酸媒雰囲気中においてUV光を照射し、非晶質結晶膜303の露出表面に液性改善のための酸媒(酸化膜(図示せず))を形成する。次にニックルを100ppm(重量換算)で含有したニックル酢酸塩溶液をスピンコート法により塗布し、非晶質結晶膜303の表面に均一にニックル含有膜306を形成する。(図10(A))

【0102】図10(A)に示す状態を得たら、酸媒雰囲気中で100℃、8hrsの加熱処理を行い、非晶質結晶膜303を結晶化する。非晶質結晶膜303の結晶化は、ニックルを添加した領域から表面と平行な方向(図9(B))に進行する。(図10(B))

【0103】なお、この結晶化工程に従えば針状または柱状の結晶の集合体である多結晶シリコン膜(ポリシリコン膜)が形成される。本発明者らはこの様に結晶化した領域を成長領域と呼ぶ。

【0104】また、この時、結晶化後の領域は、①ニックルの添加領域307(結晶成長膜)、②機械成長領域308(結晶性結膜)、③機械成長膜309(非晶質結晶膜)の三つの領域に分類される。なお、最終的に必要とするのは機械成長領域308のみであるので、以下の説明において他の領域の説明は略す。

【0105】次に、得られた結晶化後の結晶膜に対してレーザー光の照射を行う。これにより機械成長領域308は大幅に結晶性が改善された結晶性結膜310となる。本実施例ではKrFエキシマレーザーを用いる。(図10(C))

【0106】レーザー光の照射が終了したら、レジストマスケ311を形成して、P(リン)元素のドーピング工程を行う。なお、ドーピング条件は実施例1に従って実施者が適宜決定すれば良い。また、後のグッタリングのための加熱処理の条件を考慮して決定することが好ましい。(図10(D))

【0107】本実施例ではこのドーピング工程をRF電圧10W、加速電圧10keV、ドーピング量 5×10^{15} ions/cm³で行う。このP元素のドーピング工程によりグッタリング領域312、313およびグッタリング領域314が形成される。

【0108】P元素のドーピング工程が終了したら、レジストマスケ311を除去して加熱処理を行い、グッタリング領域314の内部に残存するニックルを、グッタリング領域312、313の方に(矢印の方向に)移動させる。こうしてニックル濃度の低減されたグッタリング領域315が得られる。(図10(E))

【0109】この時、加熱処理は実施例1に従って実施者が適宜決定すれば良い。ただし、前述の様にガラス基板の耐熱性を考慮して、処理温度および処理時間の上限

(10)

15

を設定しなければならぬ。

【0110】そして、パターンニングによってゲタリング領域312、313を除去することで十分にニッケル濃度が低減された島状パターン316を得る。この時、ゲタリング領域312、313と隣接する周辺部も一緒に除去することが好ましい。(図10(F))

【0111】本実施例の結晶化手段を用いた場合、図10(B)に示す結晶化工程の後に得られる成長領域308は、内側のニッケル濃度が直接ニッケルを添加した領域に比べて低いという特徴がある。

【0112】即ち、実施例1に示した結晶化手段より、もともと被ゲタリング領域に含まれるニッケル濃度が低いため、ゲタリング処理の処理温度を低くしたり、処理時間を短くしたりするなど、プロセス的なマージンが増す。

【0113】(実施例3)本実施例ではNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS回路を製作する工程例について説明する。

【0114】図11(A)において、1はガラス基板、12はNチャネル型TFTの活性層、14はPチャネル型TFTの活性層である。活性層13、14は例えば図2(F)の島状パターン212で形成すれば良い。

【0115】次に、プラズマCVD法または減圧無CV法により酸化珪素膜を150 nmの厚さに成膜し、ゲイト絶縁膜15を形成する。(図11(A))

【0116】次に、アルミニウムを主成分とする金属膜を成膜し(図示せず)、パターンニングによって後のゲイト電極の原型を形成する。次いで、本発明者らによる特開平4-331318号公報記載の技術を利用する。同公報記載の技術を利用することで多孔質状の絶縁膜16、17、緻密な絶縁膜18、19、ゲイト電極20、21が形成される。

【0117】次に、ゲイト電極20、21、多孔質状の絶縁膜16、17をマスクとしてゲイト絶縁膜15をエッチングし、ゲイト絶縁膜22、23を形成する。そしてその後、多孔質状の絶縁膜16、17を除去する。こうしてゲイト絶縁膜22、23の端部が露出した状態となる。(図11(B))

【0118】次に、N型を付与する不純物イオンをイオンブランチング法またはプラズマドーピング法を用いて2回に分けて添加する。本実施例では、まず1回目の不純物添加を高加速電圧で行い、 n^+ 領域を形成する。

【0119】この時、加速電圧が高いため不純物イオンは露出した活性層表面だけでなく露出したゲイト絶縁膜の端部の下にも添加される。この n^+ 領域は後のLDD領域(不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³程度)となるようにドーズ量を設定する。

【0120】さらに、2回目の不純物添加を低加速電圧

16

で行い、 n^+ 領域を形成する。この時は加速電圧が低いのでゲイト絶縁膜がマスクとして機能する。また、この n^+ 領域は後のソース/ドレイン領域となるのでシート抵抗が500Ω以下(好ましくは300Ω以下)となる様に調整する。

【0121】以上の工程を経て、Nチャネル型TFTのソース領域24、ドレイン領域25、低濃度不純物領域26、チャネル形成領域27が形成される。なお、この状態ではPチャネル型TFTの活性層もNチャネル型TFTの活性層と同じ状態となっている。(図11(C))

【0122】次に、Nチャネル型TFTを覆ってレジストマスク28を設け、P型を付与する不純物イオンの添加を行う。この工程も前述の不純物添加工程と同様に2回に分けて行う。ただし、この場合にはN型をP型に反転させる必要があるため前述のNチャネル型TFTの工程よりも2～3倍程度の不純物イオンを添加しなくてはならない。

【0123】この様に、Pチャネル型TFTのソース領域28、ドレイン領域30、低濃度不純物領域31、チャネル形成領域32が形成される。(図11(D))

【0124】以上の様にして活性層が完成したら、ファーストアニール、レーザアニールまたはランブアニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。

【0125】次に、層間絶縁膜33を500nmの厚さに形成する。層間絶縁膜33としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜のいずれか或いはそれらの複合膜を用いることができる。

【0126】そして、コンタクトホールを形成してソース配線34、35、ドレイン配線36を形成して図11(E)に示す状態を得る。最後に、水素雰囲気中で熱処理を行い全体を水素化してCMOS回路が完成する。

【0127】本実施例で示すCMOS回路はインバータ回路と呼ばれる、半導体回路を構成する基本回路である。この様なインバータ回路を組み合わせたことになり、NAND回路、NOR回路の様な基本論理回路を構成したり、さらに複雑なロジック回路を構成することができ。

【0128】また、以上の様にして形成したTFTはチャネル形成領域27、32やその両端の接合部にニッケル等の触媒元素を殆ど含まないため、その様な触媒元素が電気特性に影響を与えないことがない。従って、信頼性の高いTFT、CMOS回路、さらには半導体回路を構成することが可能である。

【0129】次に、本発明者ら利用したTFTの電気特性(TFT特性とも呼ばれる)と本発明者ら利用しないTFTと電気特性を比較して説明する。ここで示すTFT特性とは縦軸にゲイト電圧(V_g)、横軸にドレイン電流

(10)

17

(10)の対数をとってプロットしたグラフであり、1d-V特性(1d-V曲線)とも呼ばれる。

【0130】図12(A)、(B)はどちらもNチャネル型TFTのTFT特性であり、図12(A)はゲタリング処理を施したTFT、図12(B)はゲタリング処理を施さないTFTの電気特性である。なお、図12(A)、(B)はどちらも任意の30個のTFTについて測定し、その結果を平均値によって一つのグラフに表している。

【0131】また、図12(A)、(B)はそれぞれ二つの曲線が示されているが、全体的に高い値を示している方がドレイン電圧(V_d)を14Vとした場合のデータである。また、他方がドレイン電圧を1Vとした場合のデータである。また、ゲイト電圧は-10V～10Vの範囲で連続的に変化する様に与えられ、それに応じてドレイン電流の値が変化する。

【0132】まず、図12(A)について説明する。図12(A)に示す様なNチャネル型TFTの場合、約-10V～0Vの範囲でTFTがオフ状態にあるが、若干のオフ電流81($V_d=1V$ の場合)、82($V_d=1V$ の場合)が観測される。この値は小さければ良い。また、ゲイト電圧が約0Vにさしかかるとドレイン電流が急激に増加する。これはTFTがオン状態に切り替わっていることを意味しており、この時の1d-V曲線の変化が急峻であるほど高品質なスイッチング性能を有していることが判る。

【0134】そして、ゲイト電圧が0V～10Vの範囲ではTFTがオン状態にあるため、オン電流83($V_d=1V$ の場合)、84($V_d=1V$ の場合)が流れる。このオン電流83、84は交差し値和して殆ど一定の値を示す。

【0135】次に、図12(B)においても同様にオフ電流85($V_d=1V$ の場合)、86($V_d=1V$ の場合)およびオン電流87($V_d=1V$ の場合)、88($V_d=1V$ の場合)が確認される。ここで注目すべきは、オフ電流の挙動が明らかに図12(A)のオフ電流と異なる点である。

【0136】即ち、図12(A)ではオフ電流81、82ともに比較的低い特性を示している一方、図12(B)では特にオフ電流85のバラツキが激しいものとなっている。

【0137】本発明者らの知見によれば、TFTの活性層中にニッケル等の触媒元素が残留すると偏析して電流のリークパスを形成する。そして、それを含む活性層でTFTを構成した場合に上述の様なオフ電流のバラツキが発生すると考えられる。

【0138】図12(B)に示すTFTの電気特性はまさにその状態を示しており、活性層中の触媒元素によりオフ電流がばらついたものと考えられる。しかしながら、本発明者ら利用して活性層中の触媒元素をゲタリングした場合、図12(A)に示す様にオフ電流のばらつ

18

きが明らかに防止されていることが判る。

【0139】なお、図12ではNチャネル型TFTについてのみ説明したが、Pチャネル型TFTにおいても同様の結果が得られる。

【0140】そこで、図12(A)および図12(B)に示した電気特性を数値化したグラフを図13(A)、(B)に示す。なお、図13(A)に示すグラフはオフ電流値、図13(B)に示すグラフはモビリティ値(電界効果移動度)の正規分布分布を呈しており、540個のTFTについてのデータを基に作成されている。

【0141】この様なグラフはTFT特性のパラッキを評価する上で有効である。例えば、図13(A)を見ると、ゲタリングありの場合とゲタリングなしの場合と、ゲタリングなしの場合のバラツキ内に収まるのに対し、ゲタリングなしの場合には数10個のバラツキが観測される。

【0142】即ち、データ群を線と見なすと、その線が立っているのはバラツキが小さく、正規分布(ガウシアン分布)に従うと見なせる。逆に、その線が広がっているのはバラツキが大きくなり、正規分布からはずれていると見なせる。

【0143】従って、図13(A)ではゲタリングありの場合には正規分布に従うが、ゲタリングなしの場合には正規分布に従わないことが判る。即ち、ゲタリングなしの場合、540個のTFTのうち、約10%(430個程度)は10%程度の値に収まるが、残りの約10個のTFTは1～1桁も大きなものとなってしまっていることを示している。

【0144】この様な結果は、上述の様な理由により結晶化を助長する触媒元素の偏析によるリークパスの形成が、ゲタリング処理によって改善されたことを顕著に表していると考えられる。

【0145】また、図13(B)に示すモビリティ値のデータ群では、明らかにゲタリング処理を行った方がバラツキが小さいことが判る。なお、ゲタリングの有無でモビリティ値の最大値は殆ど変わらないが、ゲタリングなしの場合、極端にモビリティ値の小さいTFTが存在する確率が高いことが判る。

【0146】この事は、ゲタリングなしの場合、TFTの活性層(特にチャネル形成領域)においてキャリアの移動を妨げる高いエネルギー障壁が存在することを示唆しているものと推測される。

【0147】この事実について、本発明者らは次の様に考えている。通常、ポリシリコン膜等に含まれる結晶粒界では結晶粒同士の結合の整合性が悪く、高いエネルギー障壁を形成している。これがTFT動作時のキャリアの移動を妨げ、モビリティ値の低下に反映している。

【0148】実施例1に示した工程の場合、意図的にニッケルの触媒作用を利用してはいるため、結晶粒界の結晶粒界にはニッケルが偏析していると考えられる。そして、ここではシリコンの不純物とニッケルとが結

(11)

19

合し、S1-N1-31の如き形態でシリサイド化していると予想される。

【0149】そこで本発明者は、詳細なメカニズムは不明であるが、ニッケルを除去する過程において何らかの理由により結晶粒界のエネルギー障壁が低下すると考えている。例えば、上述の様にシリサイド化した状態でゲタリング処理を行うと、ニッケルとシリコンとの結合が切れ、近接したシリコンの不对結合同士で再結合する様なことが起こっているというモデルも考えうる。

【0150】従って、図13(B)に示す結果を考慮すると、本発明のゲタリング処理は単に不純物元素を除去する従来のゲタリング処理とは異なり、触媒元素の除去と同時に結晶性半導体の結晶性、特に結晶粒界の整合性を改善する効果をもたらす点で全く新しい技術である。

【0151】また、本発明者は図11(E)に示すC-MOS回路(インバータ回路)を奇数段直列に接続し、リングオシレータを試作した。試作したリングオシレータは図14に示すその測定結果からも明らかな様に、電源電圧0~16Vで安定に動作し、100MHz近い動作周波数を現した。また、本発明を利用したリングオシレータの方が高い動作周波数を得ることができた。

【0152】以上の結果から、本発明がTFT特性や半導体回路の特性に対して何ら弊害をもたさないことが確認された。

【0153】(実施例4) 本実施例では実施例3とは異なる構造のTFTを作製する場合の例について説明する。具体的にはボトムゲイト型TFTの典型的な例である逆スタゲ型TFTを作製する例を示す。

【0154】図15(A)において、41はガラス基板、42は下地膜、43は導電性材料でなるゲイト電極、44はゲイト絶縁膜、45は非晶質珪素膜、46は実施例1と同様の手段で形成したニッケル含有膜である。(図15(A))

【0155】なお、後にフアーネスアニールによって、00~700℃の温度でゲタリング工程が行われるので、その温度に耐えうる材料をゲイト電極43として使用する必要がある。

【0156】次に、結晶化のための加熱処理を行い、結晶性珪素膜47を形成する。加熱処理の条件は実施例1に従えば良い。(図15(B))

【0157】次に、レジストマスク48を設けてニッケルをゲタリングするための元素(本実施例もリンを例にとる)を添加する。この工程よりゲタリング領域49、50およびゲタリング領域51が形成される。(図15(C))

【0158】次に、ゲタリングのための加熱処理を行い、ゲタリング領域51内のニッケルをゲタリング領域49、50に矢印の方向に向かって移動させる。こうしてニッケル程度の低減された結晶性珪素膜(波

20

ッタリング領域)52が得られる。(図15(D))

【0159】次に、ゲタリング工程によって得られた波ゲタリング領域52をパターンニングして活性層53を形成する。そして、活性層53上に酸化珪素膜をパターンニングして形成されるチャネルストップパー(またはエッチングトップパーと呼ばれる)54を設ける。(図15(E))

【0160】図15(E)の状態が得られたら、N型を呈する結晶性珪素膜を形成してパターンニングを施し、ソース領域55およびドレイン領域56とを形成する。さらに、ソース配線57、ドレイン配線58を形成する。そして、最後に全体の水素化を行って図15(F)に示す逆スタゲ型TFTが完成する。

【0161】(実施例5) 実施例3で説明した様に、本発明はオフ電流のバラツキを低減するという大きな効果を有している。そのことは、TFTでもって液晶表示装置等の電気光学装置を形成する際に非常に価値のある効果である。

【0162】従来、オフ電流のバラツキが原因としてマルチゲイト構造が提案されている。マルチゲイト構造とは電気的に短絡した複数のゲイト電極を1つの活性層上に配置し、実質的に複数のTFTを直列に配列した様な構造のことである。

【0163】そのため、どれか1つのTFTでオフ電流が異常値を示しても他のTFTが正常に動作すればその値で律動される。即ち、全体としてはオフ電流のバラツキを抑制することができる。なお、ゲイト本数を増やせばその分効果は高まるが、TFTが大型化するというデメリットがある。

【0164】ところで、液晶表示装置の画像表示領域となる画素マトリクス回路ではできる限りオフ電流のバラツキをなくすることが望まれる。そのため、マルチゲイト構造が多く用いられている。その一方で、透過型液晶表示装置の画素マトリクス回路では高い開口率が要求される。

【0165】従って、従来のマルチゲイト構造では開口率を高くするという要求を満足することは困難であった。

【0166】しかしながら、本発明のTFTは非晶にオフ電流のバラツキが小さいため、シングルゲイト構造のTFTでも十分に活用することができる。勿論、マルチゲイト構造においてゲイト本数を減らすのであればよい。

【0167】従って、本発明を利用することでTFTサイズを小さくしてもオフ電流のバラツキの小さい電気特性が得られる。このことは、画素マトリクス回路の開口率を高くする上で非常に有効である。

【0168】(実施例6) 本実施例では本発明を適用したTFTを用いて電気光学装置を構成する場合の例を示す。なお、本実施例では「ウェル型マトリクス型液晶

(12)

21

示装置に適用する例を示すが、他にもアクティブマトリクス型のEL表示装置、EC表示装置等に用いることもできる。

【0169】、図16に示すのはアクティブマトリクス型液晶表示装置の断面を簡略化した図であり、ドライバ回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFTを示している。

【0170】なお、実施例3でCMOS回路の構造(TFT構造)に関する説明を既に行ったので、本実施例では必要な箇所のみを説明することにする。

【0171】まず、実施例3に示したCMOS回路の作製工程に従って、図16の左側のCMOS回路を完成する。この時、画素TFTの構造はCMOS回路を構成するTFTと基本的に同一構造である。勿論、画素TFTのみマルチゲイト構造にしたり、LDD領域の長さを変えたりすることもできるが、その場合は実施者が必要に応じて変更すれば良い。

【0172】CMOS回路の上には有機性絶縁膜である層間絶縁膜61が設けられ、その上にはブラックマスク62が配置される。なお、本実施例ではブラックマスク62を画素マトリクス回路の上の方に設けているが、CMOS回路の上方に設ける構成としても良い。

【0173】ブラックマスク62上には再び層間絶縁膜63が設けられ、コンタクトホールを設けて画素電極64が配置される。画素電極64は反射型表示装置の場合にはアルミニウム膜の如き反射膜を、透過型表示装置の場合にはITOの如き透明導電膜を用いれば良い。そして、最上層に配向膜65を設けてアクティブマトリクス基板を構成する。アクティブマトリクス基板とはTFTが配置された側の基板を指す。

【0174】また、66は対向基板、67は透明導電膜でなる対向電極、68は対向側の配向膜である。この様な構成の対向基板と上述のアクティブマトリクス基板との間に液晶層69を挟持して図16に示すアクティブマトリクス型液晶表示装置が構成される。

【0175】また、アクティブマトリクス型液晶表示装置の外観を図17に簡略化して示す。図17において、71はガラス基板、72は下地膜、73は画素マトリクス回路、74はソースドレインバース回路、75はゲイトドライバ回路、76はロジック回路である。

【0176】ロジック回路76は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバ回路と呼ばれている回路と区別するためにそれ以外の回路を指している。

【0177】本実施例では、本発明を適用しうる半導体装置の一例として実施例6で示した様な電気光学装置を用いた応用製品について図18を用いて説明する。本発明を利用した半導体装置としてはビデオカメラ、スチルカメラ、ヘッドマウントディスプレイ、カ

22

ーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0178】図18(A)はモバイルコンピュータであり、本体2001、カメラ部2002、受信部2003、操作スイッチ2004、表示装置2005で構成される。本発明は表示装置2005に適用することができ

る。

【0179】図18(B)はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。本発明は表示装置2102に適用することができる。

【0180】図18(C)はカーナビゲーションシステムであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。本発明は表示装置2202に適用することができる。

【0181】図18(D)は携帯電話であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作スイッチ2305、アンテナ2306で構成される。本発明は表示装置2304に適用することができる。

【0182】図18(E)はビデオカメラであり、本体2401、表示装置2402、音声入力部2403、操作スイッチ2404、バッテリー2405、受信部2406で構成される。本発明は表示装置2402に適用することができる。

【0183】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0184】

【発明の効果】 本発明を用いることで結晶化を助長する触媒元素を利用して得た結晶性半導体膜から触媒元素を効率的に除去または低減することができる。また、本発明のゲタリング処理はガラスの耐熱温度(転点)以下の温度で行われるので、従来の低温プロセスを適用することができる。

【0185】また、本発明を用いて得られた結晶性半導体膜は触媒元素の効果により結晶性が非常に優れ、かつゲタリング処理によりその触媒元素が十分に濃度まで低減されている。そのため、半導体装置の活性層として利用した場合、優れた電気特性と高い信頼性を備えた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 P元素のドーピングとニッケル電極の形成を示す図。

【図2】 ゲタリング処理工程を説明するための図。

【図3】 ゲタリング処理の時間依存性を示す写真。

【図4】 110×100 μmのパターンを示す写真の図。

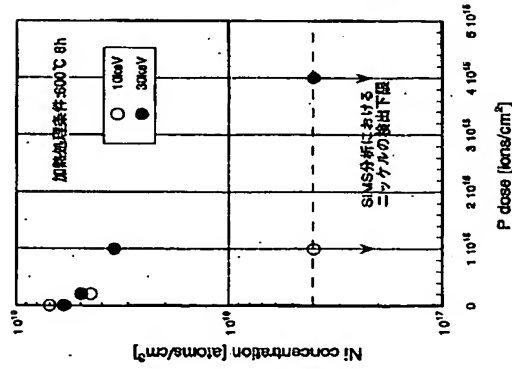
(13)

33

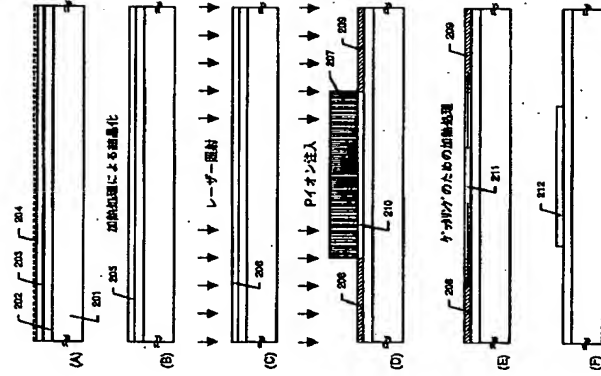
- 式図。
- 【図5】 ゲッタリング処理時間と偏析密度の関係を示す図。
- 【図6】 ゲッタリング処理の温度依存性を示す図。
- 【図7】 ゲッタリング処理温度と偏析密度の関係を示す図。
- 【図8】 ゲッタリング処理のドーズ条件依存性を示す図。
- 【図9】 PおよびBによるゲッタリング効果を示す図。
- 【図10】 ゲッタリング処理工程を説明するための図。
- 【図11】 TFTの作製工程を示す図。
- 【図12】 TFTの電気特性を説明するための図。
- 【図13】 TFTの電気特性を説明するための図。
- 【図14】 リングオシレータの測定結果を示す図。
- 【図15】 TFTの作製工程を示す図。
- 【図16】 液晶表示装置の断面構造を示す図。

- 【図17】 アクティブマトリクス基板の構成を示す図。
- 【図18】 本発明を利用する応用製品の一例を示す図。
- 【符号の説明】
- 201 ガラス基板
- 202 下地膜
- 203 非晶質珪素膜
- 204 ニッケル含有層
- 205 結晶性珪素膜
- 206 結晶性が改善された結晶性珪素膜
- 207 レジストマスク
- 208、209 P元素を添加した領域（ゲッタリング領域）
- 210 P元素を添加しない領域（被ゲッタリング領域）
- 211 ゲッタリング処理を施した結晶性珪素膜
- 212 結晶性珪素膜である島状パターン

【図1】



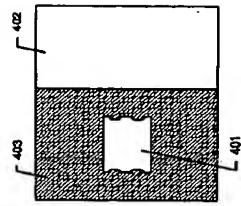
【図2】



【図4】

図面代用写真

【図3】



(14)

(D)

(A)

(E)

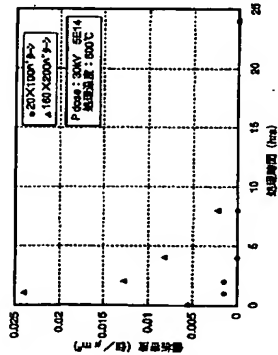
(B)

(F)

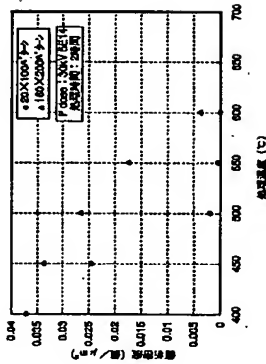
(C)

(15)

【図5】

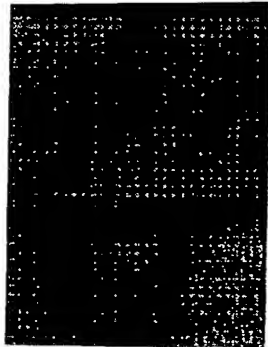


【図7】



【図9】

図面代用写真

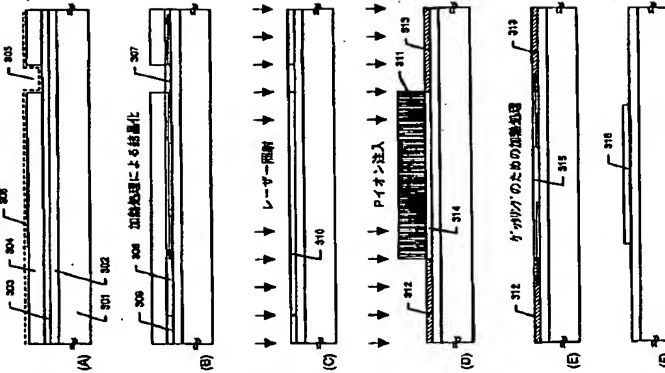


(A)



(B)

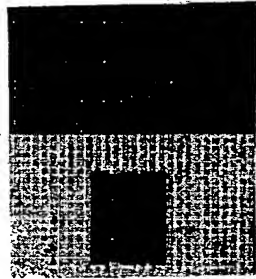
【図10】



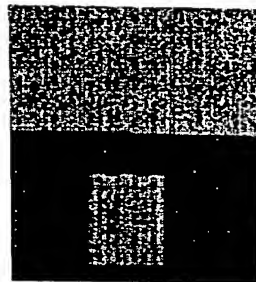
(14)

【図8】

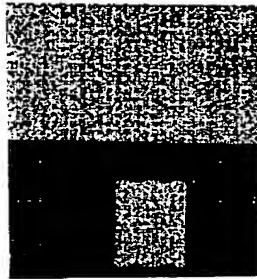
図面代用写真



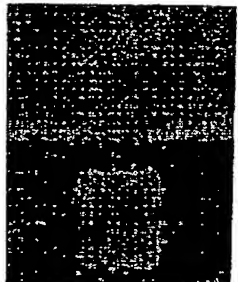
(A)



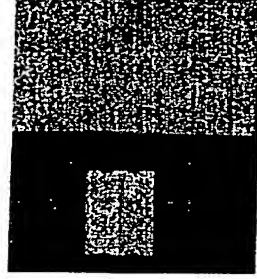
(D)



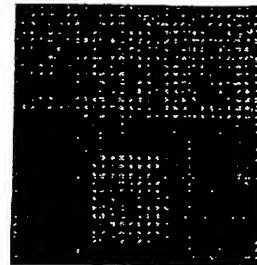
(B)



(E)



(C)

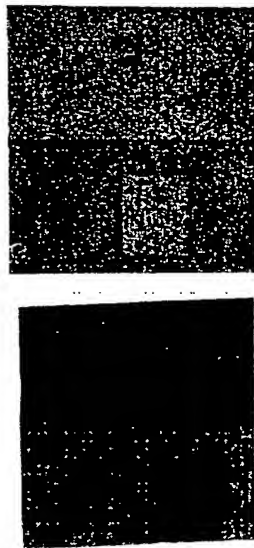


(F)

(17)

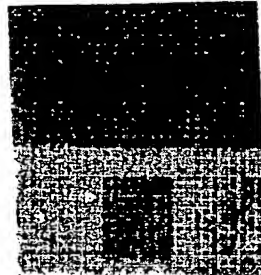
【図8】

画面代用写真



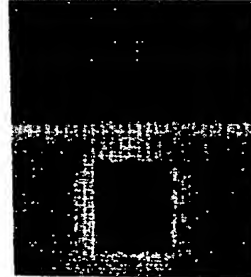
(A)

(D)



-(B)

(E)

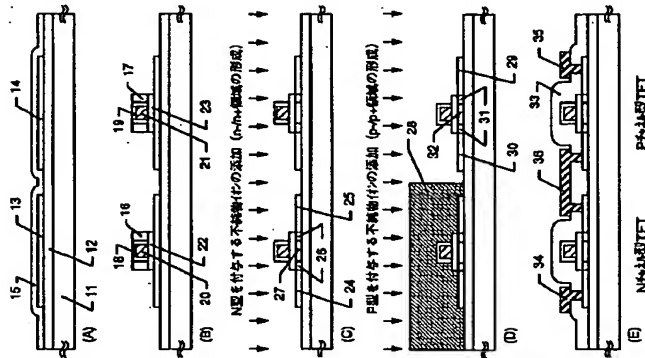


(C)

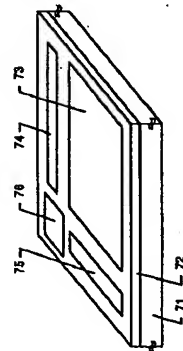


(F)

【図11】

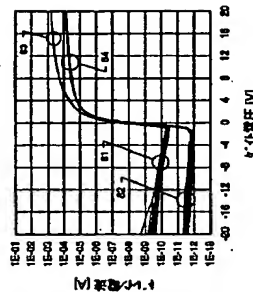


【図17】

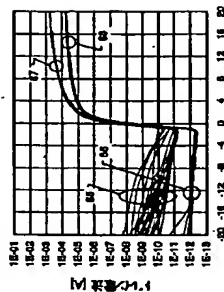


(18)

【図12】

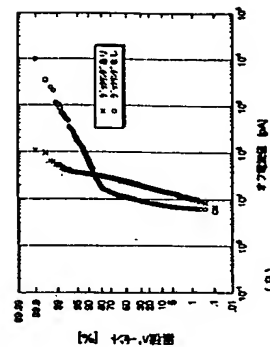
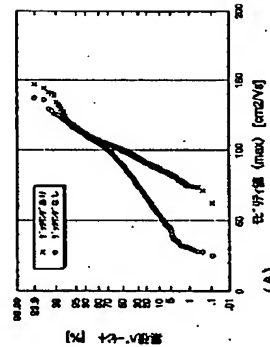


(A) イカリゲ処理あり (N+外延TFT)



(B) イカリゲ処理なし (N+外延TFT)

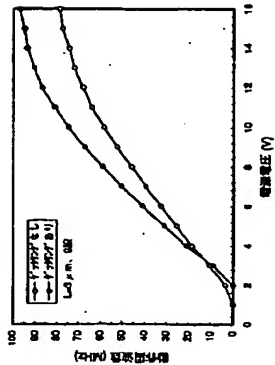
【図13】



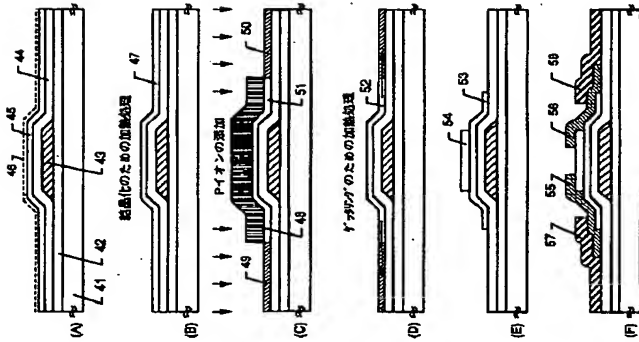
(B)

(11)

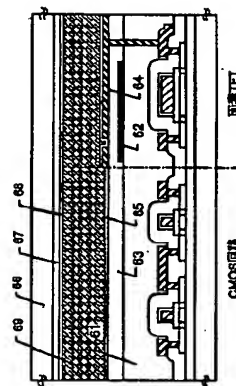
【図14】



【図15】

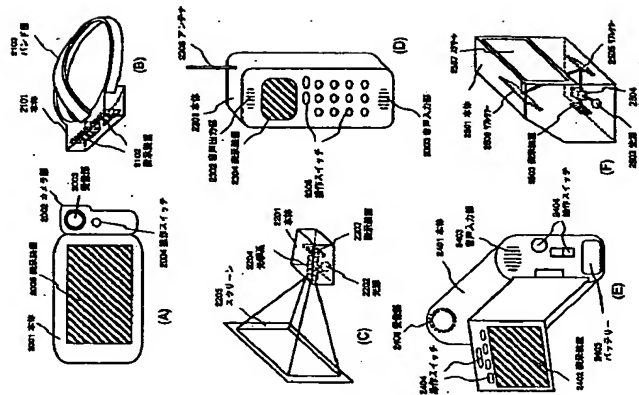


【図16】



(10)

【図18】



フロントページの続き

(71) 発明者 大谷 久
神奈川県厚木市長谷118番地 株式会社半
導体エネルギー研究所内